

35.C15333



2814
5

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
CHIORI MOCHIZUKA ET AL.) Examiner: Not Yet Known
Appln. No.: 09/845,284) Group Art Unit: 2814
Filed: May 1, 2001)
For: SEMICONDUCTOR DEVICE) August 7, 2001

Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicants hereby claim priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119 based upon the following Japanese Priority Applications:

2000-135133 filed on May 8, 2000
2001-131171 filed on April 27, 2001

Certified copies of the priority documents are enclosed.



本 国 特 許 厅
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2 0 0 0 年 5 月 8 日

出 願 番 号

Application Number:

特願 2 0 0 0 - 1 3 5 1 3 3

出 願 人

Applicant(s):

キヤノン株式会社

2 0 0 1 年 5 月 3 0 日

COMMISSIONER,
Japan Patent Office

及 川 耕 造

【書類名】 特許願

【整理番号】 3997039

【提出日】 平成12年 5月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 7/00

【発明の名称】 半導体装置

【請求項の数】 3

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

【氏名】 望月 千織

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

【氏名】 渡辺 実

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 積平

【電話番号】 03-3431-1831

【手数料の表示】

【提出物件の目録】

【物件名】	明細書
-------	-----

特2000-135133

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 基板上に複数の薄膜トランジスタ（以下、TFT）により、複数の画素が構成されているTFT基板において、該TFT基板の周囲に一定電位に接続された周囲配線が設置されていることを特徴とする半導体装置。

【請求項2】 前記周囲配線は、前記TFTの少なくとも駆動配線、または、信号配線に接続されていることを特徴とする、請求項1に記載の半導体装置。

【請求項3】 前記TFT基板の1画素は、TFT素子と光電変換素子とから構成されており、前記周囲配線は、該光電変換素子のバイアス配線と電気的に接続されていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に複数の薄膜トランジスタ（以下、TFTと称す）により、複数の画素が構成されている半導体装置に関するものである。

【0002】

【従来の技術】

従来、非晶質シリコン薄膜を用いた薄膜トランジスタは、スイッチ素子として、液晶表示パネル、有機ELパネルなどの表示デバイス、更には、TFT素子と同様の非晶質シリコン薄膜を用いたPIN型フォトダイオード、または、MIS型フォトキャパシター、TFT型光センサーなどの光電変換素子（以下、光センサー素子と称す）と組み合わせた光センサーパネルなどに広く利用されている。

【0003】

また、最近では、光センサーパネルの医療分野への応用が検討され、特に、放

射線を電気信号に変換する非晶質セレンなどを用いた直接型の放射線撮像装置も開発が進んでいる。

【0004】

ここで、図8にTFT素子とPIN型フォトダイオードとから構成されている光センサーパネルの等価回路を示し、また、図9にその模式的断面図を示す。図8において、符号1010はPIN型光センサー、1020はTFT、1030は信号配線、1040はTFT駆動配線、1050はPIN型光センサーのバイアス配線である。

【0005】

また、図9において、2010はガラス基板、2020はゲート配線、2030はゲート絶縁膜、2040はi型a-Si層、2050はSiN層、2060はn⁺オーミックコンタクト層、2070はソース・ドレイン電極、2080はセンサ下電極、2100, 2110, 2120は、それぞれ、P、I、N型a-Si層、2090はセンサー上電極、2130はSiN保護膜である。

【0006】

そして、画像情報としての入射光は、PIN型光センサー1010により光電変換され、同時に、センサー容量C1に電荷蓄積される。その後、TFT1020をオンすることにより、信号線1030とTFT駆動配線1040のクロス部で形成される容量C2に電荷分配され、信号線1030の電位変化を読み取り出力としている。

【0007】

現在、上述の光センサーパネルは、大面積化、高精細化の要求により、基板サイズの大型化、プロセス精度の向上が急務とされているが、膨大な設備投資が必要となり、更に、立ち上げに要する期間などを考慮すると、最良の方法とは言えないと思われる。

【0008】

そこで、従来の小型基板用の設備、装置を用いて、大面積化パネルを目指す方

法を示す。

【0009】

この具体例として、図10に1枚の光センサーパネルを張合わせ大面積化した

放射線画像読取装置が、斜視図の形で示されている。また、図11に、その模式的断面図を示す。図10において、符号3010は光センサーパネル、3020は基台、3050は放射線を可視光に変換するための蛍光板、3060はフレキシブル基板、3400はシャーシ部である。

【0010】

図11において、3010は光センサーパネル、3020は光センサーパネル3010の4枚を定位置に固定するとともに、下面に配設した電気実装部を保護するための放射線吸収用の鉛などからなる基台、3030はセンサーパネル3010と基台3020を貼り合わせるための第1の接着層、3050は放射線を可視光に変換するための蛍光板、3040は蛍光板3050をセンサーパネル3010に貼り付ける第2の接着層、3070はセンサーパネル3010の駆動用プリント基板、3060はプリント基板3070とセンサーパネル3010とを接続するためのフレキシブル基板である。

【0011】

なお、符号3200は筐体、3210は蓋、3230は電気実装部を保護するための鉛などからなるカバー、3240はプリント基板3070を固定するための足、また、3250は基台3020を筐体3200に固定するためのアングルである。なお、ここでは、符号3200～3250の各部材によって、シャーシ部3400が形成されている。そして、シャーシ部3400の中で、放射線センサ一部3300を固定することによって、センサユニットが形成されている。

【0012】

【発明が解決しようとする課題】

しかしながら、上述のように、複数のパネルを貼り合わせる場合、特に、パネル間のつなぎ目の精度とそのクリアランスとが問題になる。図12には、その貼り合わせパネルの模式的平面が示されており、図13には、パネルのつなぎ目の

、画素間のクリアランスを1画素内に收めることで、画像処理による補正を適正に行なうことが可能となる。増減すれば、各センサーパネルは、画素端より数1

、2画素間のクリアランスを1画素内に收めることで、画像処理による補正を行なうことが可能となる。増減すれば、各センサーパネルは、画素端より数1

$0 \mu m$ の位置で、パネル切断を行うことが必要となる。

【0013】

このような課題を解決するには、以下の問題があり、製造上の歩留り、更には特性上の問題まで、影響を及ぼす場合がある。

【0014】

1. 光センサーパネルの切断時に、チッピング、ズレなどにより、画素部まで影響が及ぼされる場合があり、組み立て後に、この信頼性に問題が残る。図14において、切断部の模式的平面図を示す。図中、4010は画素部、4020はSiN膜など保護膜、4030はチッピングなどの欠け、4040は切断端面である。これから明らかのように、チッピング4030が保護膜4020を破壊している。この結果、初期特性上、問題が無いが、高温・高湿での保存により、出力の変動が確認されている。

【0015】

2. パネル組み立て時の静電気の影響で、画素破壊が発生する。通常、ガラス基板などの絶縁材料は、真空チャックステージでの剥離帶電、エアーブローなどによる摩擦帶電などにより、容易に帶電する。帶電した状態で、電位差のある物体、具体的には、接地されたケースなどに接近しただけで、放電が起り、破壊される。特に、コーナー部は、その傾向が強く、歩留りの低下を引き起こしている。

【0016】

3. パネル組み立て時のハンドリングなどで、切断面、特に、コーナー部で、1画素が破壊する場合がある。

【0017】

本発明は、上記の問題を解決するものであり、大面積パネル、または、パネル周辺部のスペースを極小化した、狭額縫パネルの製造を、安定に且つ高歩留りで

即ち、本発明の第1に目的は、貼り合せパネルを、精度良く切断し、貼り合せ止めために、切断の真下を削りやすスライスチャック配線を設け、且つ、信頼

性が確保される位置に配し、切断時のチッピングなどによる保護膜などの破損を電気的にチェックして、組み立て後の信頼性を確保することにある。

【0019】

また、本発明の第2の目的は、チェック配線を電気的に一定電位に固定することにより、電気的なクロストークを抑えることである。

【0020】

更に、本発明の第3の目的は、TFTの駆動配線、または、光センサーのバイアス配線に電気的に接続して、静電気破壊に対する耐性を向上させると共に、スライスチェック配線を一定電位に接続することにより、帯電防止機能を持たせ、デバイスの安定性と信頼性を確保することにある。

【0021】

【課題を解決するための手段】

このため、本発明では、基板上に複数の薄膜トランジスタ（以下、TFTと称す）により、複数の画素が構成されているTFT基板において、該TFT基板の周囲に一定電位に接続された周囲配線が設置されていることを特徴とする。

【0022】

この場合、本発明の実施の形態として、前記周囲配線が、前記TFTの少なくとも駆動配線、または、信号配線に接続されていること、また、前記TFT基板の1画素は、TFT素子と光電変換素子とから構成されており、前記周囲配線は、該光電変換素子のバイアス配線と電気的に接続されていることが有効である。

【0023】

【発明の実施の形態】

(第1の実施の形態)

本発明の第1の実施の形態として、TFT素子とMIS型光センサーとから構成されている放射線画像読み取り装置に適用した半導体装置について説明する。

駆動用ドライバである。また、C11～C35は、MIS型光センサー、T11～T15は電界効果トランジスタ、V_{G1}1～V_{G2}3はTFT駆動配線、S_ie1～S_ie5は信

号配線、V_s1～V_s2はバイアス配線である。

【0024】

MIS型光センサーC11～C35は、駆動用ドライバ13からバイアス配線V_s1～V_s2に印加される光信号を受けるもので、ここで光信号は、MIS型光センサーに、その電荷を蓄積される。蓄積された電荷は、順次、信号線S_ig1～S_ig5から信号処理増幅器を介して、TFT（T11～T35）により読み出される。また、TFTは、TFT駆動用ドライバ11から、TFT駆動配線V_g1～V_g3を介して、与えられた信号で、順次、オン／オフする。更に、S_cはスライスチェック配線であり、TFT駆動用ドライバおよびMIS型光センサーの駆動用ドライバから接地電位を与えられている。

【0025】

ここで、この実施の形態での、作成プロセスの概略を順に説明する。なお、図2の(a)～(e)は、光センサーパネルの模式的断面図を示す。

【0026】

(1) ここでは、図2の(a)に示したように、ガラス基板101上に、Crを、1000Å厚さで、スパッタリング法により成膜し、MIS型光センサーの下電極102、TFTゲート電極103、および、ゲート配線104、更には、パネル切断用のスライスラインおよびスライスチェック配線などを、パターニングする。

【0027】

(2) また、図2の(b)に示したように、プラズマCVD法により、窒化シリコン膜105(SiN)を、3000Å厚さで、非晶質シリコン膜106a(Si)を5000Å厚さで、オーミック層107(n⁺)を1000Å厚さで、それぞれ、連続成膜し、MIS型光センサーの下電極とTFTS-D電極とを接合するためのコンタクトホール108、及び、配線引出し部などのコンタクト

(3) 図2の(c)においては、アルミニウム(A1)を1μm厚さで、スカイプ接合用ドロップ膜、TFTS-D電極109、信号線110、光セン

サーのバイアス配線111を、ウエットエッチング法により形成する。

【0029】

(4) また、図2の(d)においては、TFTギャップ部のオーム層(n^+)を、RIE法により除去し、TFTチャネル部112を形成する。

【0030】

(5) 更に、図2(e)においては、RIE法により、素子間分離を行い、保護膜として、プラズマCVD法により、窒化シリコン膜113(SiN)を、9000Å厚さで成膜し、引き出し配線部パッド部などを、RIE法により開口する。

【0031】

以上より、単一パネルが作成され、検査工程により、良品判定が行われることで、前工程が終了する。

【0032】

その後、中工程により、光センサーパネルに電気的な実装を行う。即ち、

(6) ポリイミドをスピンドルコートし、加熱キュラーする。その後、スライスラインに従って、所定のサイズに切断する。

【0033】

(7) TAB接続、PCB接続など電気的な実装を行い、その後、検査する。

【0034】

以上により、貼り合わせ前のモジュールが完成し、以降、後工程により、大面積パネルとして、組み立てられる。即ち、

(8) 基台にパネルを貼り合わせ、蛍光板を貼り、更に、A1シートを貼り合わせる。

【0035】

(9) 筐体に組み込み、最終検査を行う。

【0037】

図3には、センサーパネルを貼り合わせた中央部が拡大して示されている。

この実施の形態での画素サイズは $160\mu m$ である。図中、画素中心とは、光センサー部の重心であり、光学的な画素中心である。その結果、隣接パネルの中心間の距離が、2画素分、即ち、 $320\mu m$ 以内の設計であれば、実際の切断、および、貼り合わせ余裕が増えることになる。これは、TFTの配置により、光センサー部の重心を貼り合わせ、中央側に配置することにより、達成可能とするものである。なお、この実施の形態では、画素領域の間の距離が、 $160\mu m$ から $188\mu m$ および $202\mu m$ に拡大可能となっている。

【0038】

図4には、光センサーパネルのコーナー部の概略パターンが示されている。図中、41はスライスライン、42はスライスチェック配線、43はSiN保護膜、点aは画素重心である。

【0039】

ここで検討には、SiN保護膜43が画素端より $25\mu m$ の位置に配置され、また、このSiN保護膜内にスライスチェック配線42が配置される。この幅は、高温高湿などの信頼性試験により、特性が確保できる最小幅である。また、スライスは、スライスラインを切り落とすように切断されるが、チッピング、スライスズレなどにより、マージンとして、スライスライン41がSiN保護膜端から $45\mu m$ の位置に設定されている。なお、この領域にSiN保護膜を配していないのは、SiN保護膜が割れ、画素まで成長していることがあるためである。

【0040】

次に、この実施の形態での、スライスチェックラインの使用方法について述べる。先述のように、パネル切断時に、予期せぬスライスズレ、または、チッピングなどによって、SiN保護膜が破壊する場合、同時に、スライスチェックラインも破壊される。そこで、図1に示した、スライスチェック配線に設けたパッド

【0041】

この結果、中央、目視確認を行なっていた判定から、確実で精度の良い検査ハ

の可能性が得られた。更に、上述のように、中工程、後工程での要所要所で、スライスチェック配線による確認を行うことにより、複数の光センサーパネルを貼り合わせた後での、不良発生を皆無とすることが可能になった。

【0042】

(第2の実施の形態)

本発明の第2の実施の形態として、同様に、TFT素子とMIS型光電変換素子とから構成されている放射線画像読み取り装置に用いる半導体装置について説明する。なお、図5はこの実施の形態における等価回路を示す。同様に、図中、11はTFT駆動用ドライバ、12は信号処理増幅器、13はMIS型光電変換素子駆動用ドライバである。

【0043】

ここでは、光センサーのバイアス配線であるVs1、Vs2配線を、互いに抵抗Rvsにより接続している。更に、TFT駆動配線であるVg1～Vg3配線は、互いに抵抗Rsにより接続され、Vs1配線とVg1配線とは、互いに抵抗Rvにより接続されている。また、接地電位のスライスチェック配線であるSc配線は、Vs4配線と抵抗Rvcとにより接続され、Vg1配線と抵抗Rgcとにより接続されている。

【0044】

TFT駆動用ドライバから第1番目のTFTまでの抵抗をRoとし、Vg配線間の抵抗をRsとすると、抵抗Rsには、Vg配線に印加したオン電圧Vghが隣接ラインに影響を与えない抵抗を、設定すれば良いことになる。なお、隣接ラインはオフ電圧Vg1に保持されている。

【0045】

図6は、上述の等価回路の詳細を示すものである。点aの電位VaがTFTのしきい値電圧Vthより低ければ、隣接ラインをオフ状態を保つことができる。

Ro > Rs > Rth

$$Rs > Ro(Vg1 - Vth - 2Vth) / (Vth - Vg1)$$

ここで、Vg1=+5V、Vgh=+7V、Vth=2V、Ro=100Ωであるので、Rs>80Ωの条件

【0047】

同様に、抵抗 R_v については、光センサーのバイアス配線 V_s が光読み込み時に、 $V_{sh} = 9V$ であるから、上式の $V_{gh} - V_{g1} = 20V$ に比較すると、 $V_{sh} - V_{g1} = 15V$ となり、この結果から、少なくとも、 $R_v > R_s$ であれば、 V_s 配線の駆動により、TFT の誤動作は防止できる。また、 V_s 電位の変動を特性上、問題のない範囲とするならば、変動量を 1% 以下とする必要があり、抵抗 R_v は、 $R_v > 100 \times R_o$ となる。この実施の形態では、 $R_v > 10k\Omega$ であれば良いことになる。また、 R_{vs} に関しても、光センサーのバイアス電位の変動が 1% 以下となるために、 $R_{vs} > 100 \times R_o$ となる。

【0048】

更に、スライスチェック配線である S_c 配線と V_{g1} 配線との接続抵抗 R_{gc} は、(1) 式において、 $V_{g1} = 0V$ として計算すれば、 $R_{gc} = 550\Omega$ となる。また、 S_c 配線と V_{s4} 配線との接続抵抗 R_{vs} は、 $R_{vs} > 100 \times R_o$ であれば、光センサーのバイアス電位の変動を 1% 以下に抑えることが可能となる。

【0049】

なお、この実施の形態では、各配線間にオーミック層 (n^+) を用いて接続することが可能であり、上述の各接続抵抗値に十分余裕を持たせて、 $1M\Omega$ を標準として設定した。

【0050】

以上、説明した構造であれば、静電気破壊での基板全体に起る帶電と、その後の特定部分からのリーク、放電による、上下配線間の電位差を防止することが可能となり、且つ、最も静電気破壊に対して注意を要するコーナー部での、アンテナの役割を果たすことが可能となり、画素部本体を破壊することがなくなるの

(第3の実施の形態)

本登録の第3の実施の形態として、スライスチェックラインを V_s 配線と接続

した場合について述べる。なお、図7に、この実施の形態の等価回路を示す。ここでは、Vs4配線とスライスチェック配線Scとを同一レイヤーで接続している。なお、この時、レイヤー間での接合により、作成することも可能である。更に、Vs1またはVs2配線から、Sc配線に接続することも可能である。また、この実施の形態では、上述の接地電位では無いが、一定電位に固定されるため、前述の実施の形態と同様な効果が得られる。

【0052】

【発明の効果】

以上説明したように、本発明によれば、半導体装置として、例えば、光センサーパネルの周辺に周辺配線、即ち、スライスチェック配線を接地し、更に、一定電位に固定することにより、クロストークを防止し、且つ、信頼性の高いパネルを供給できることが可能となった。

【0053】

更に、その周辺配線を高抵抗の配線により、TFT駆動配線、または、センサーバイアス配線などに接続することにより、静電破壊に対する耐性をも、同時に、兼ね備えることが可能となった。なお、本発明で、光センサーを、実施の形態に例示しているが、液晶パネルなど、半導体基板の狭額縫化に対して有効な手段となる。更に、液晶パネルでは、必ずしも、一定電位に固定することなく、上述の効果を達成できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態を示す等価回路図である。

【図2】

同じく、そのパネル作成プロセスの模式的断面図である。

【図3】

同じく、ハネルハターン図である。

【図4】

本発明の第2の実施形態を示す等価回路図である。

【図6】

同じく、補足の等価回路図である。

【図7】

本発明の第3の実施の形態を示す等価回路図である。

【図8】

従来の光センサーの等価回路図である。

【図9】

従来のPIN型光センサーの模式的断面図である。

【図10】

従来の放射線画像読取装置の斜視図である。

【図11】

従来の放射線画像読取装置の模式的断面図である。

【図12】

貼り合わせパネルの模式的平面図である。

【図13】

貼り合わせパネルのつなぎ目中央部の拡大図である。

【図14】

パネル切断部の模式的平面図である。

【符号の説明】

1 1 TFT駆動用ドライバ

1 2 信号処理ドライバ

1 3 光電変換素子駆動用ドライバ

1 0 1 ガラス基板

1 0 2 光センサ下電極

1 0 5 ゲート絶縁膜

1 0 6 パターン層

107 オミックコンタクト層 (n^+)

108 コンタクトホール

109 TFTS-D電極

110 信号線

111 光センサーのバイアス配線

112 TFTチャネル

113 保護膜

C11～C35 MIS型光センサー

T11～T35 TFT

Vg1～Vg3 ゲート配線

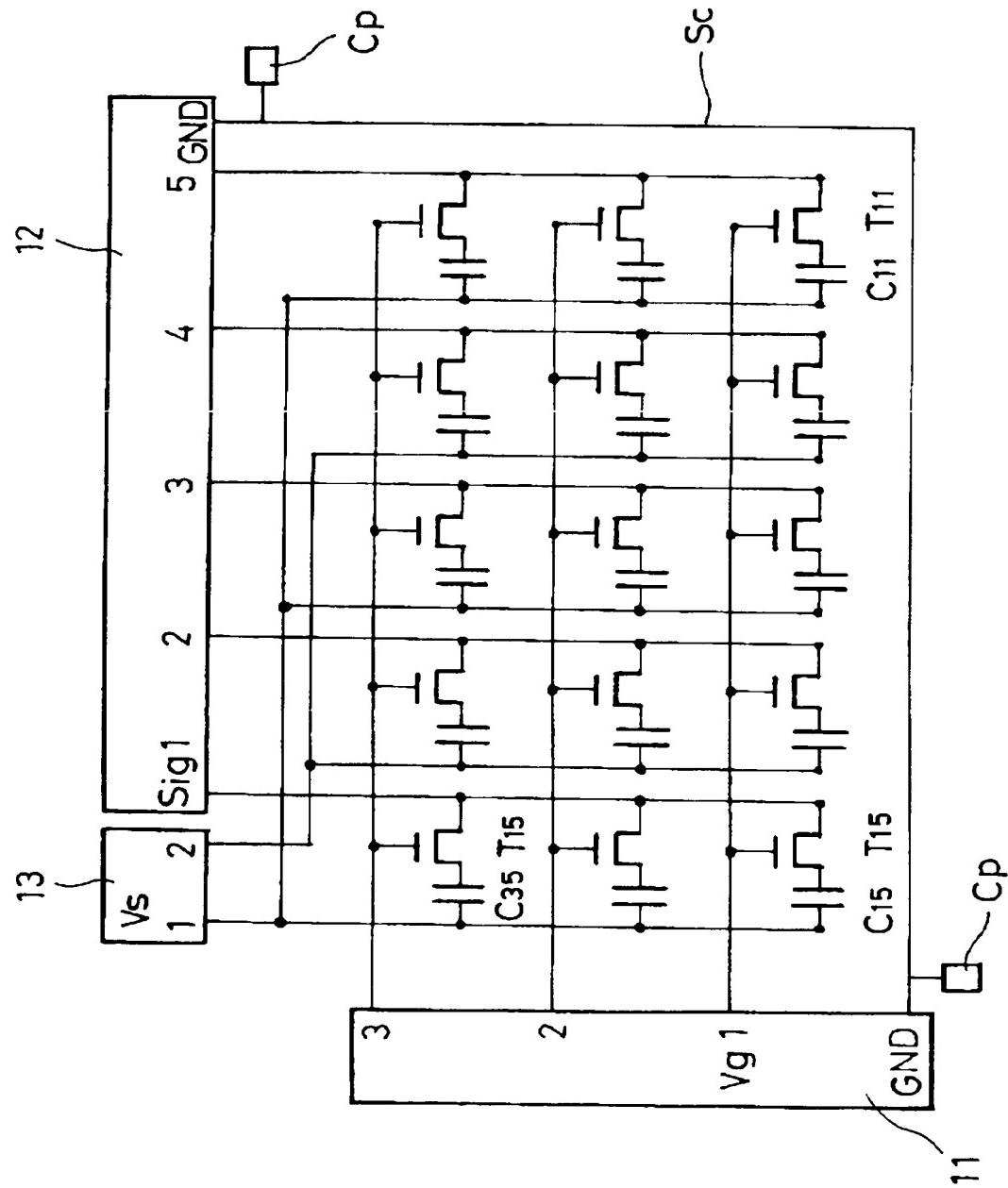
Sig1～Sig5 信号線

Vs1～Vs4 光センサーのバイアス線

S_c スライスチェック配線である周辺配線

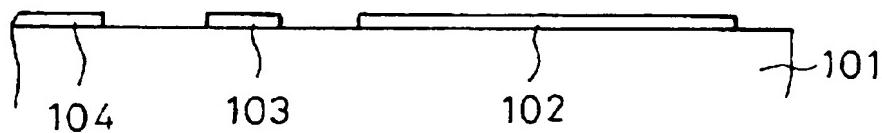
【書類名】 図面

【図1】

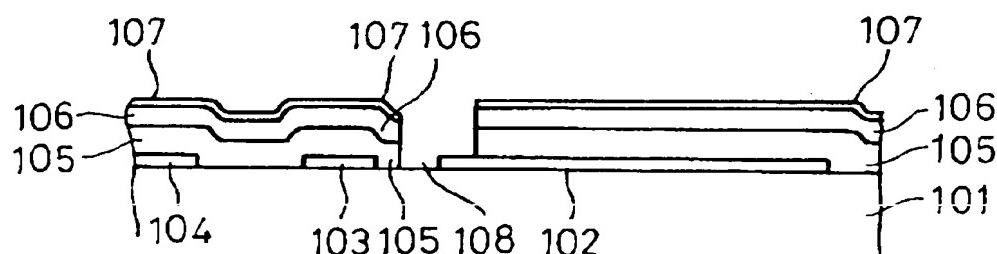


【図2】

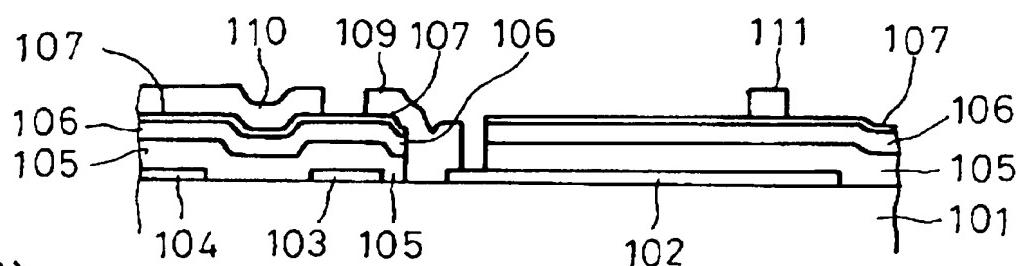
(a)



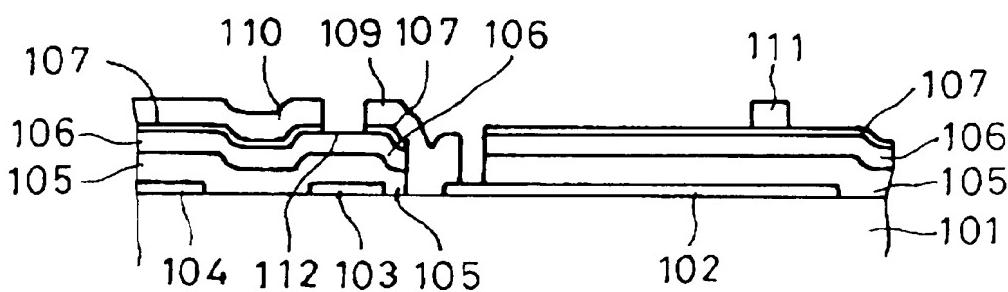
(b)



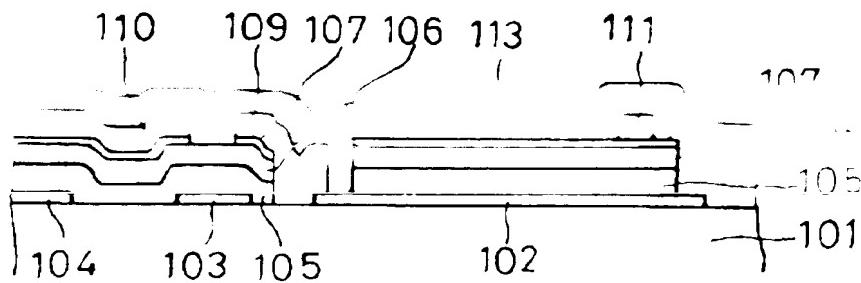
(c)



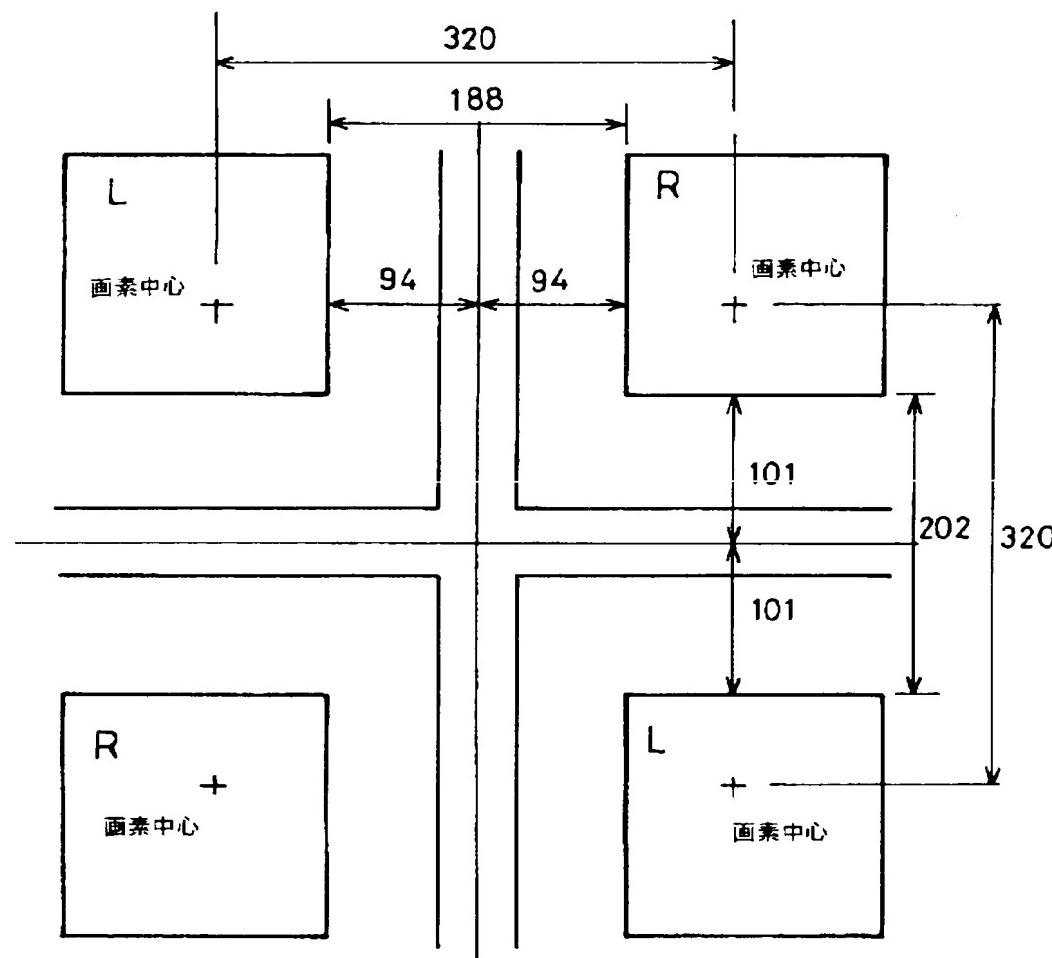
(d)



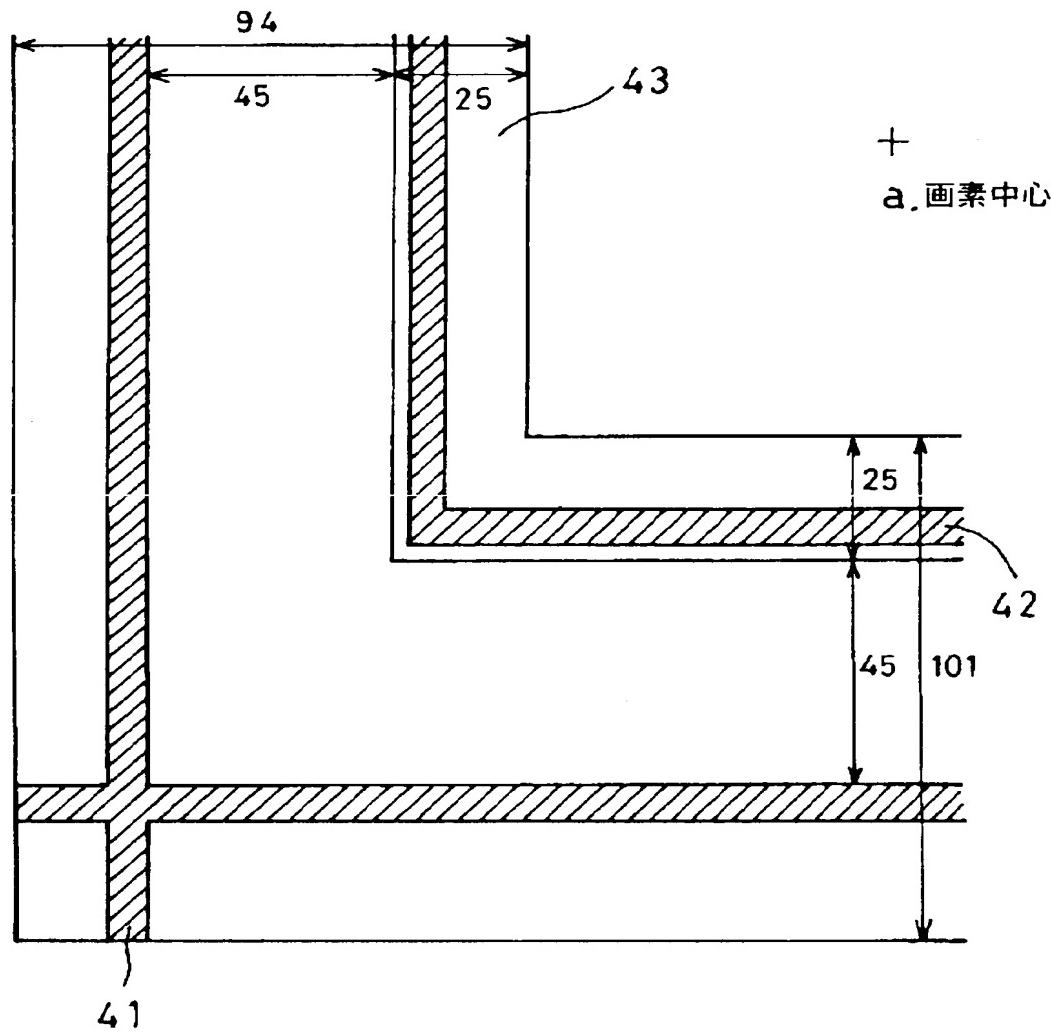
(e)



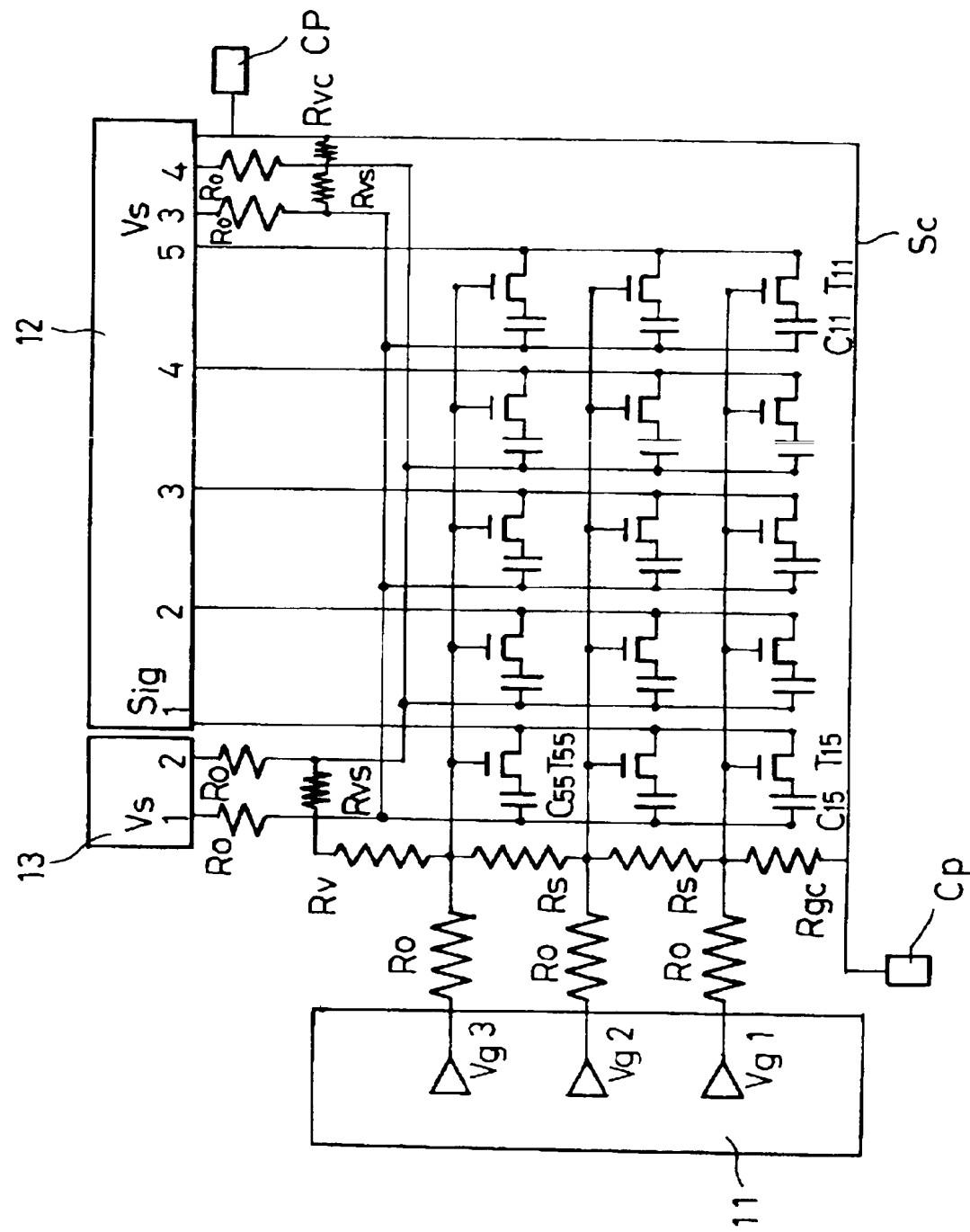
【図3】



【図4】

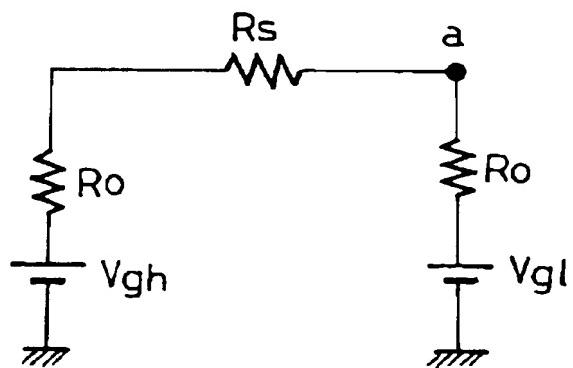


【図5】

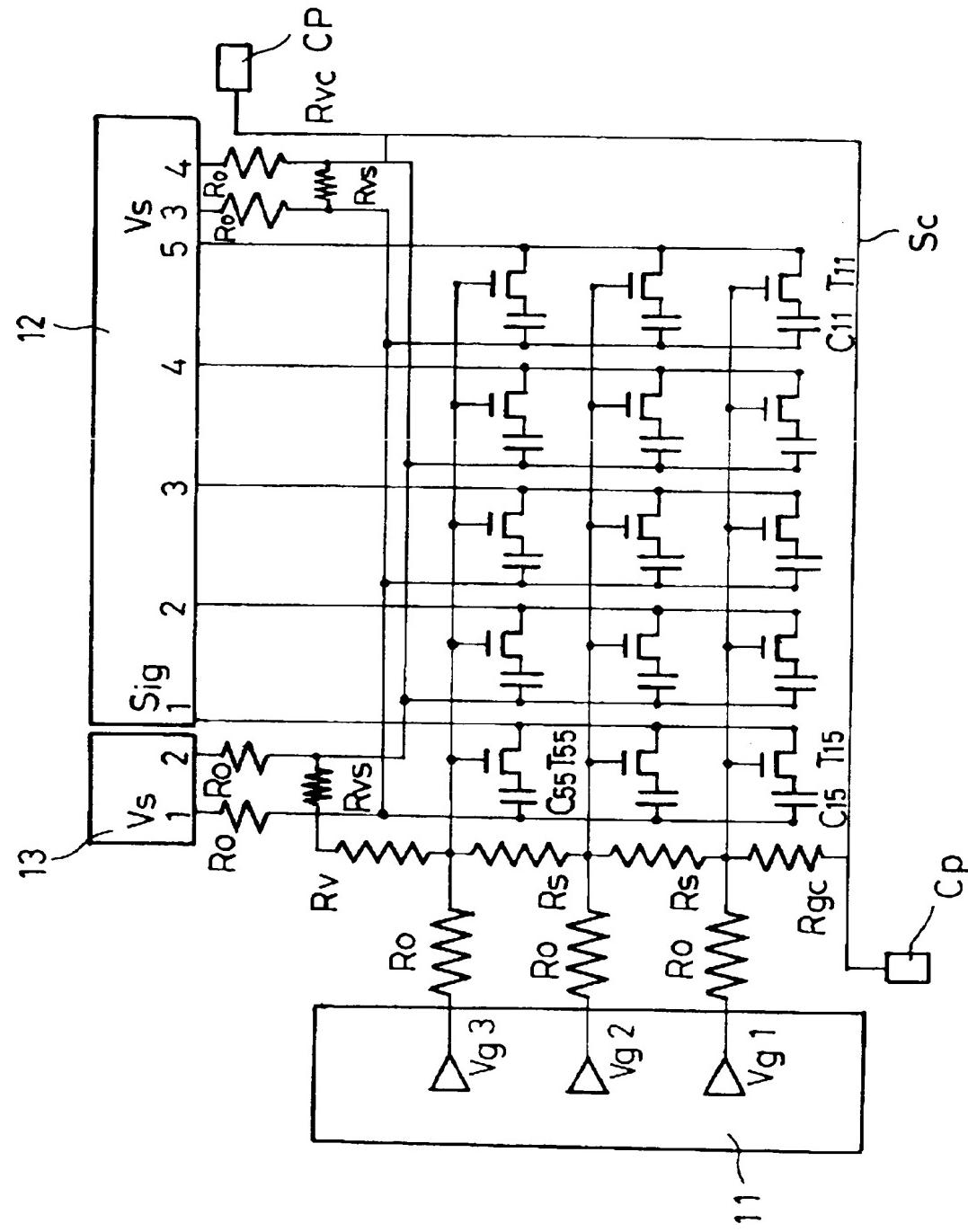


特2000-135133

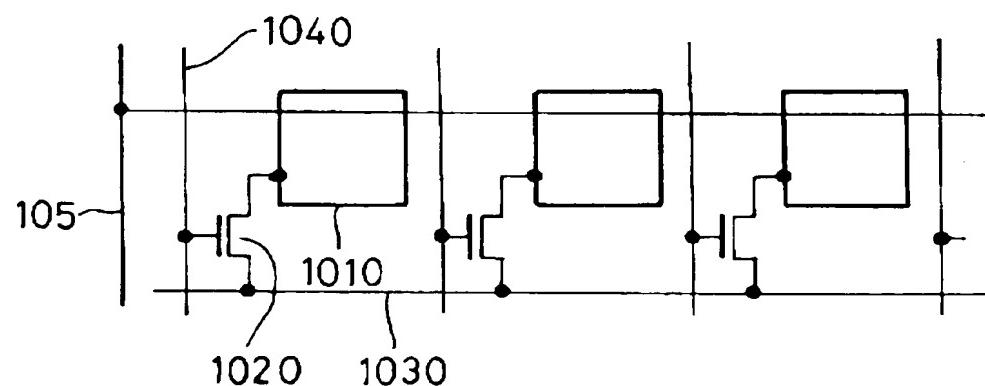
【図6】



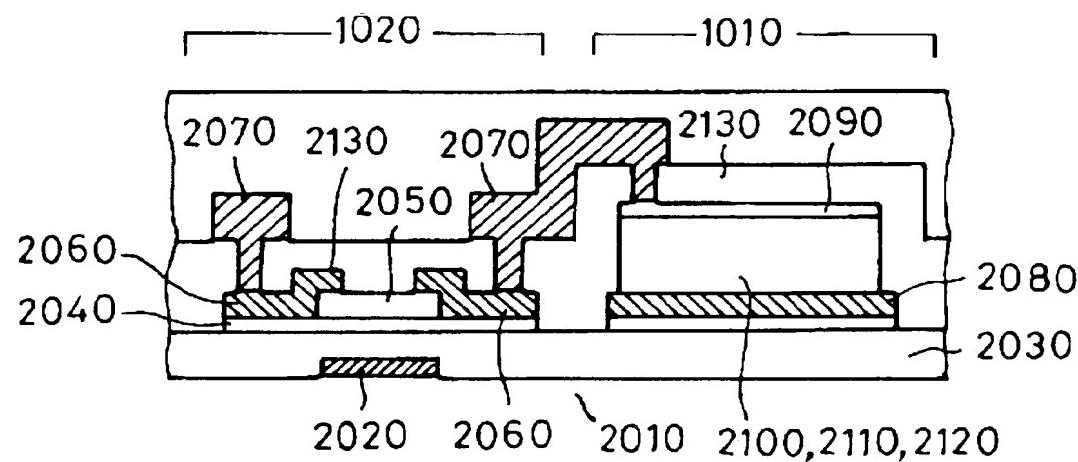
【図7】



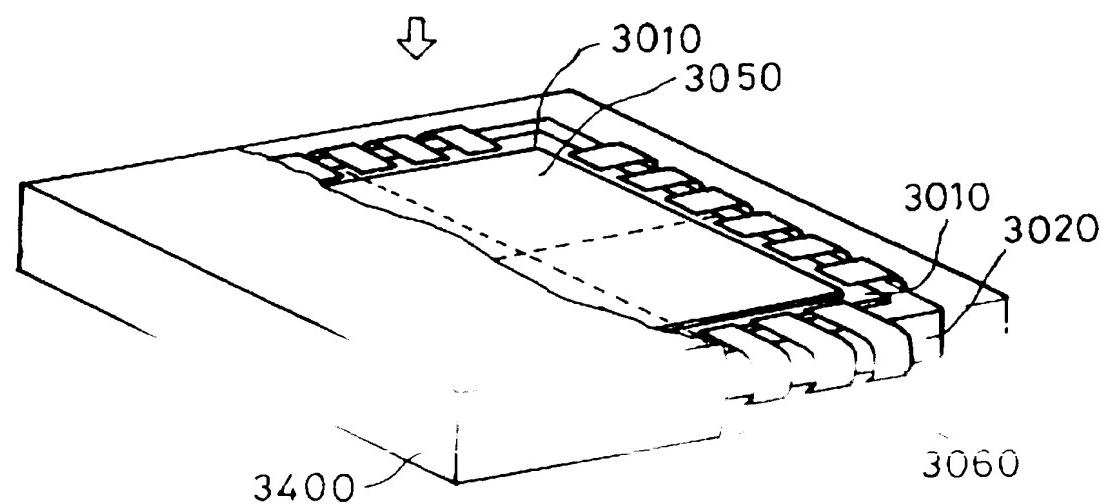
【図8】



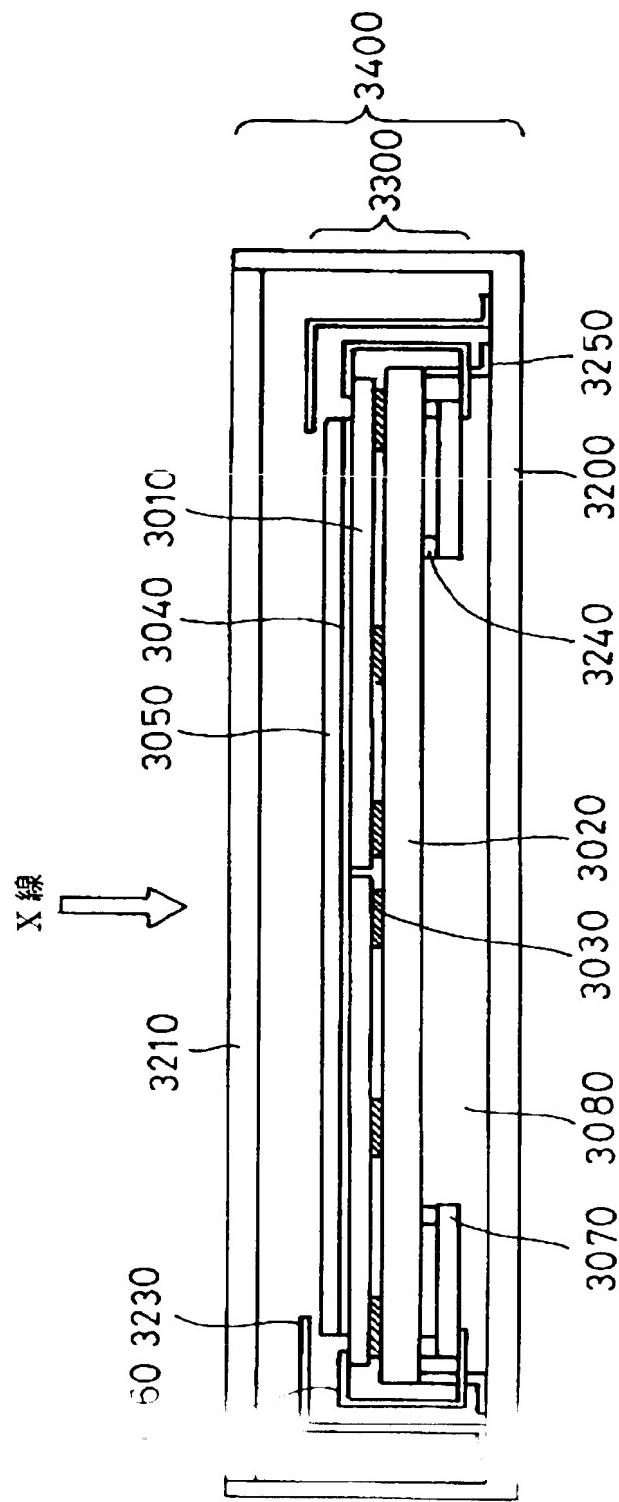
【図9】



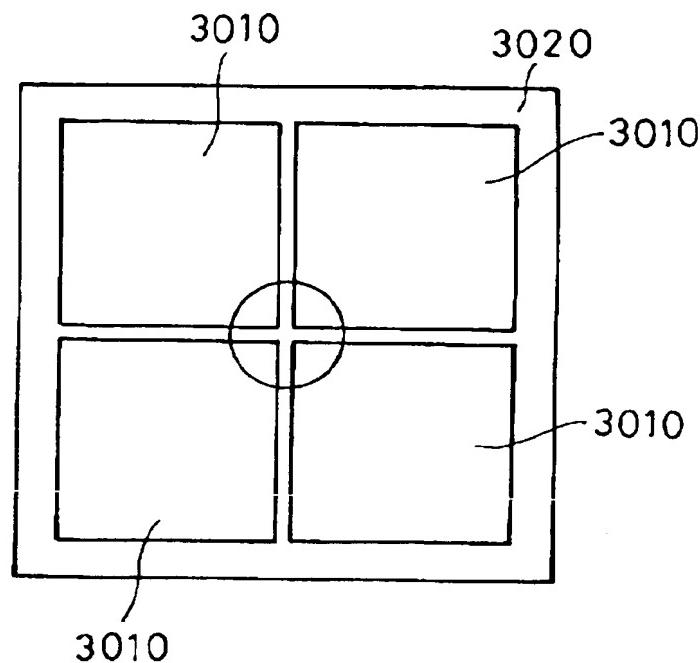
【図10】



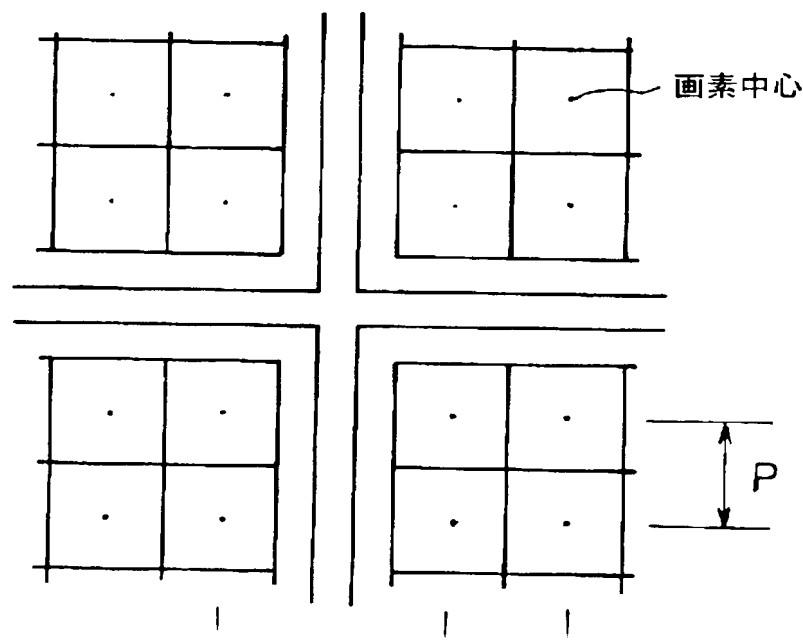
【図11】



【図12】

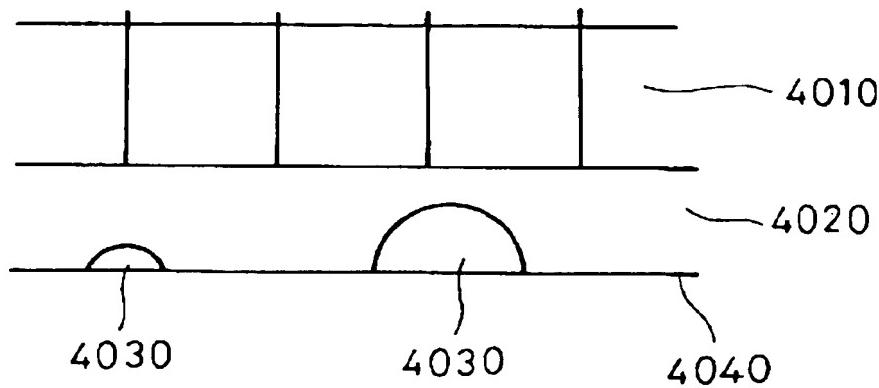


【図13】



特2000-135133

【図14】



【書類名】 要約書

【要約】

【課題】 大面積パネル、または、パネル周辺部のスペースを極小化した、狭額縁パネルの製造を、安定に且つ高歩留りで可能とするような、構成の半導体装置を提供する。

【解決手段】 基板上に複数の薄膜トランジスタ（以下、TFT）により、複数の画素が構成されている TFT 基板において、該 TFT 基板の周囲に一定電位に接続された周囲配線が設置していることを特徴とする。

【選択図】 図 1

特2000-135133

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社